

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-073158
(43)Date of publication of application : 16.03.1999

(51)Int.Cl.

G09G 3/28
H04N 5/66

(21)Application number : 09-234138
(22)Date of filing : 29.08.1997

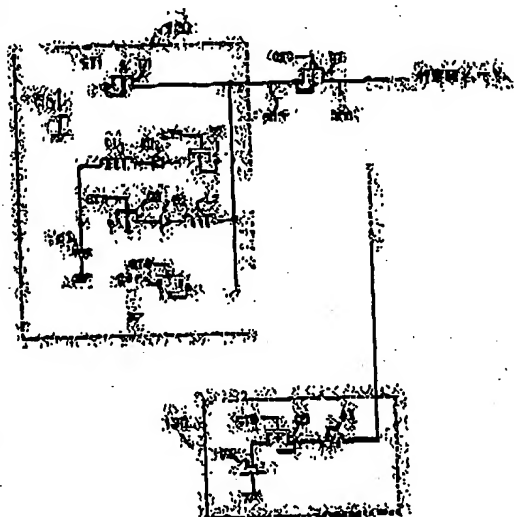
(71)Applicant : PIONEER ELECTRON CORP
(72)Inventor : HOSOI KENICHIRO
KITAGAWA MITSUSHI

(54) DRIVING UNIT FOR PLASMA DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To make applicable a plurality of driving pulses of different polarities from each other to the same electrode of a plasma display panel(PDP) with a transistor of low withstanding voltage by connecting between a first line and a row electrodes during a period that a first pulse generating circuit generates a first pulse.

SOLUTION: Two pulse generating circuits and a switching element are provided, and a p channel type MOS transistor Q7 as a switching element becomes on-state in the case that a theoretical level of a gate signal GT7 supplied by a panel operation control circuit 12 is '0' and connects between lines 200 and 300. In this case, a row electrode operating signal generated on the line 200 is applied on each of the row electrodes Y1-Yn of PDP through the line 300. In the case that a theoretical level of the gate signal GT7 is '1', the MOS transistor Q7 becomes off-state and cut off the connection between the lines 200 and 300. In this case, only the row electrode operating signal generated on the line 300 is applied to each of the electrodes Y1-Yn.



LEGAL STATUS

[Date of request for examination] 14.05.2002
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 7 3 1 5 6

(43) 公開日 平成 1 1 年 (1 9 9 9) 3 月 1 6 日

(51) Int. Cl.	識別記号	庁内整理番号	F I	技術表示箇所
G09G 3/28			G09G 3/28	I
H04N 5/66	101		H04N 5/66	101 B

審査請求 未請求 請求項の数 9 O L (全 1 2 頁)

(21) 出願番号 特願平 9 - 2 3 4 1 3 8

(22) 出願日 平成 9 年 (1 9 9 7) 8 月 2 9 日

(71) 出願人 0 0 0 0 0 5 0 1 6

バイオニア株式会社

東京都目黒区目黒 1 丁目 4 番 1 号

(72) 発明者 細井 研一郎

静岡県袋井市鷺巣字西ノ谷 1 5 番地 1 バイ

オニア株式会社静岡工場内

(72) 発明者 北川 満志

静岡県袋井市鷺巣字西ノ谷 1 5 番地 1 バイ

オニア株式会社静岡工場内

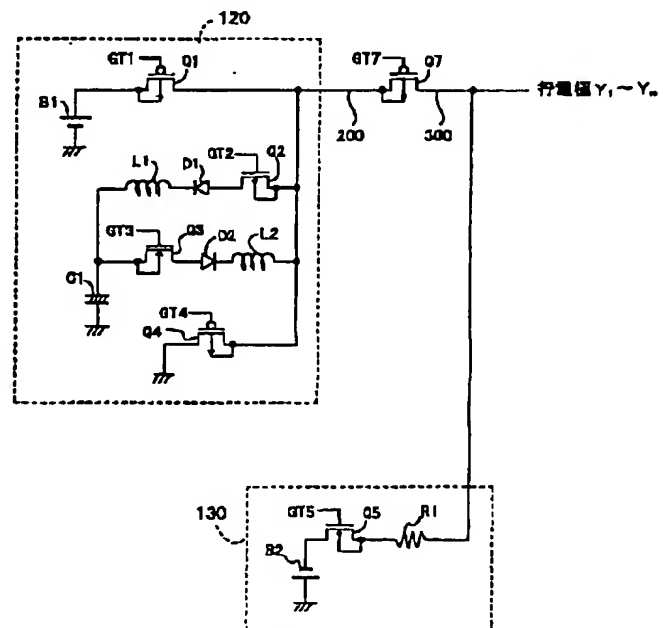
(74) 代理人 弁理士 藤村 元彦

(54) 【発明の名称】 プラズマディスプレイパネルの駆動装置

(57) 【要約】

【課題】 耐圧の低いトランジスタにて互いに極性の異なる複数の駆動パルスを PDP の同一行電極上に印加し得るプラズマディスプレイパネルの駆動装置を提供することを目的とする。

【解決手段】 所定極性の第 1 パルスを発生してこれを第 1 ラインに印加する第 1 パルス発生回路と、前記所定極性とは異なる極性の第 2 パルスを発生してこれをプラズマディスプレイパネルの行電極に印加する第 2 パルス発生回路とを有し、これら第 1 及び第 2 パルス発生回路間に、少なくとも上記第 1 パルス発生回路が第 1 パルスを発生している期間中はオン状態となって上記第 1 ライン及び行電極間を接続するスイッチング素子を設ける。



【特許請求の範囲】

【請求項 1】 プラズマディスプレイパネルの垂直方向に配列された複数の列電極に画素データに対応した画素データパルスを加する列電極駆動手段と、前記列電極に交差する水平方向に配列された複数の行電極に所定極性の第 1 パルス及び前記所定極性とは異なる極性の第 2 パルスを夫々加する行電極駆動手段とを備えたプラズマディスプレイパネルの駆動装置であって、前記行電極駆動手段は、

前記第 1 パルスを発生してこれを第 1 ラインに印加する第 1 パルス発生回路と、

前記第 2 パルスを発生してこれを前記行電極に印加する第 2 パルス発生回路と、

少なくとも前記第 1 パルス発生回路が前記第 1 パルスを発生している期間中はオン状態となって前記第 1 ライン及び前記行電極間を接続するスイッチング素子と、を有することを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項 2】 前記スイッチング素子は、前記第 2 パルス発生回路が前記第 2 パルスを発生している期間中はオフ状態となって前記第 1 ライン及び前記行電極間の接続を遮断することを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動装置。

【請求項 3】 前記第 1 パルス発生回路は、正電位を発生する第 1 直流電源と、前記第 1 パルスを発生すべく前記正電位を前記第 1 ライン上に印加する p 型の MOS トランジスタとを有し、

前記第 2 パルス発生回路は、負電位を発生する第 2 直流電源と、前記第 2 パルスを発生すべく前記負電位を前記行電極に印加する n 型の MOS トランジスタとを有し、前記スイッチング素子は、少なくとも前記第 1 パルス発生回路が前記正電位を前記第 1 ライン上に印加している期間中はオン状態となって前記第 1 ライン及び前記行電極間を接続する p 型の MOS トランジスタであることを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動装置。

【請求項 4】 前記第 1 パルスは正電圧の維持パルスであり、前記第 2 パルスは負電圧のリセットパルスであることを特徴とする請求項 1 又は 3 記載のプラズマディスプレイパネルの駆動装置。

【請求項 5】 プラズマディスプレイパネルの垂直方向に配列された複数の列電極に画素データに対応した画素データパルスを加する列電極駆動手段と、前記列電極に交差する水平方向に配列された複数の行電極に所定極性の第 1 パルス及び前記所定極性とは異なる極性の第 2 パルスを夫々加する行電極駆動手段とを備えたプラズマディスプレイパネルの駆動装置であって、

前記行電極駆動手段は、

前記第 1 パルスを発生してこれを第 1 ラインに印加する第 1 パルス発生回路と、

少なくとも前記第 1 パルス発生回路が前記第 1 パルスを発生している期間中はオン状態となって前記第 1 ライン及び前記行電極間を接続する第 1 スwitching 素子と、前記第 2 パルスを発生してこれを第 2 ラインに印加する第 2 パルス発生回路と、

少なくとも前記第 2 パルス発生回路が前記第 2 パルスを発生している期間中はオン状態となって前記第 2 ライン及び前記行電極間を接続する第 2 スwitching 素子と、を有することを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項 6】 前記第 1 スwitching 素子は、前記第 2 パルス発生回路が前記第 2 パルスを発生している期間中はオフ状態となって前記第 1 ライン及び前記行電極間の接続を遮断することを特徴とする請求項 5 記載のプラズマディスプレイパネルの駆動装置。

【請求項 7】 前記第 2 スwitching 素子は、前記第 1 パルス発生回路が前記第 1 パルスを発生している期間中はオフ状態となって前記第 2 ライン及び前記行電極間の接続を遮断することを特徴とする請求項 5 記載のプラズマディスプレイパネルの駆動装置。

【請求項 8】 前記第 1 パルス発生回路は、正電位を発生する第 1 直流電源と、前記第 1 パルスを発生すべく前記正電位を前記第 1 ライン上に印加する p 型の MOS トランジスタとを有し、

前記第 2 パルス発生回路は、負電位を発生する第 2 直流電源と、前記第 2 パルスを発生すべく前記負電位を前記第 2 ライン上に印加する n 型の MOS トランジスタとを有し、

前記第 1 スwitching 素子は、少なくとも前記第 1 パルス発生回路が前記正電位を前記第 1 ライン上に印加している期間中はオン状態となって前記第 1 ライン及び前記行電極間を接続する p 型の MOS トランジスタであり、前記第 2 スwitching 素子は、少なくとも前記第 2 パルス発生回路が前記負電位を前記第 2 ライン上に印加している期間中はオン状態となって前記第 2 ライン及び前記行電極間を接続する n 型の MOS トランジスタであることを特徴とする請求項 5 記載のプラズマディスプレイパネルの駆動装置。

【請求項 9】 前記第 1 パルスは正電圧の維持パルスであり、前記第 2 パルスは負電圧のリセットパルスであることを特徴とする請求項 5 又は 8 記載のプラズマディスプレイパネルの駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はプラズマディスプレイパネルの駆動装置に関する。

【0002】

【従来の技術】 平面表示装置として、AC（交流放電）型のプラズマディスプレイパネル（以下、PDP と称する）が知られている。図 1 は、かかる AC 型の PDP を

駆動する駆動装置を含んだプラズマディスプレイ装置の概略構成を示す図である。

【0003】図1において、PDP10には、X及びYの1対にて1画面の各行（第1行～第n行）に対応した行電極対を為す行電極 $Y_1 \sim Y_n$ 及び行電極 $X_1 \sim X_n$ が形成されている。更に、これら行電極対に直交し、かつ図

示せぬ誘電体層及び放電空間を挟んで、1画面の各列（第1列～第m列）に対応した列電極を為す列電極 $D_1 \sim D_m$ が形成されている。この際、1対の行電極対

（X、Y）と1つの列電極Dとの交差部に1つの放電セルが形成される。駆動装置1は、供給された映像信号を1画面毎のNビットの画素データに変換し、これをPDP10における1行分毎にm個の画素データパルスに変換してPDP10の列電極 $D_1 \sim D_m$ 各々に印加する。更に、駆動装置1は、図2に示されるが如きタイミングにて、リセットパルス $R P_1$ 、リセットパルス $R P_1$ 、ブライミングパルスPP、走査パルスSP、維持パルス $I P_1$ 、維持パルス $I P_1$ 、及び消去パルスEP各々を含んだ行電極駆動信号を生成し、これを上記PDP10の行電極対（ $Y_1 \sim Y_n$ 、 $X_1 \sim X_n$ ）に印加する。

【0004】図2において、駆動装置1は、先ず、正電圧のリセットパルス $R P_1$ を発生してこれを全ての行電極 $X_1 \sim X_n$ に印加すると同時に、負電圧のリセットパルス $R P_1$ を発生してこれを行電極 $Y_1 \sim Y_n$ の各々に印加する（一斉リセット行程）。かかるリセットパルスの印加によりPDP10の全ての放電セルが放電励起して荷電粒子が発生し、この放電終息後、全放電セルの誘電体層には一様に所定量の壁電荷が形成される。

【0005】次に、駆動装置1は、各行毎の画素データに対応した正電圧の画素データパルス $D P_1 \sim D P_m$ を発生し、これらを1行分毎に順次、列電極 $D_1 \sim D_m$ に印加して行く。更に、駆動装置1は、上記画素データパルス $D P_1 \sim D P_m$ を列電極 $D_1 \sim D_m$ に印加するタイミングと同一タイミングにて、負電圧でありかつ比較的パルス幅の小なる走査パルスSPを発生し、これを図2に示されるように、行電極 Y_1 から Y_n へと順次印加して行く。この際、走査パルスSPが印加された行電極に存在する放電セルの中で、高電圧の画素データパルスが印加された放電セルでは放電が生じてその壁電荷の大半が失われる。一方、画素データパルスが印加されなかった放電セルでは放電が生じないので、上記壁電荷が残留したままとなる。すなわち、列電極に印加された画素データパルスに応じて、各放電セル内に壁電荷が残留するか否かが決定するのである。これは、走査パルスSPの印加に応じて、各放電セルに対して画素データの書き込みが為されたということなのである。尚、駆動装置1は、かかる負電圧の走査パルスSPを各行電極Yに印加する直前に、図2に示されるが如き正電圧のブライミングパルスPPを行電極 $Y_1 \sim Y_n$ に印加する（画素データ書込行程）。

【0006】かかるブライミングパルスPPの印加により、上記一斉リセット動作にて得られ、時間経過と共に減少してしまった上記荷電粒子が、PDP10の放電空間内に再形成される。よって、かかる荷電粒子が存在する内に、上記走査パルスSPの印加による画素データの書き込みが為されることになる。次に、駆動装置1は、正電圧の維持パルス $I P_1$ を連続して行電極 $Y_1 \sim Y_n$ 各々に印加すると共に、かかる維持パルス $I P_1$ の印加タイミングとは、ずれたタイミングにて正電圧の維持パルス $I P_1$ を連続して行電極 $X_1 \sim X_n$ 各々に印加する（維持放電行程）。

【0007】かかる維持パルス $I P_1$ 及び $I P_1$ が交互に印加されている期間に亘り、上記壁電荷が残留したままとなっている放電セルが放電発光を繰り返しその発光状態を維持する。次に、駆動装置1は、負電圧の消去パルスEPを発生してこれを行電極 $Y_1 \sim Y_n$ 各々に一斉に印加して、各放電セル内に残留している壁電荷を消去する（壁電荷消去行程）。

【0008】図3は、上記各種駆動パルスの内で、上記リセットパルス $R P_1$ 及び維持パルス $I P_1$ を発生するパルス駆動回路の構成を示す図である。図3において、維持パルス発生回路102におけるpチャネル型のMOS（Metal Oxide Semiconductor）トランジスタQ1は、そのゲート端に供給されたゲート信号GT1の論理レベルが“1”である場合にはオフ状態となる。又、かかるMOSトランジスタQ1は、ゲート信号GT1の論理レベルが“0”である場合にはオン状態となって上記直流電源B1の正側端子電位をライン2上に印加する。尚、この直流電源B1の負側端子は接地されている。更に、かかる維持パルス発生回路102には、その一端が接地されているコンデンサC1が設けられている。nチャネル型のMOSトランジスタQ2は、そのゲート端に供給されたゲート信号GT2の論理レベルが“0”である場合にはオフ状態となる一方、かかるゲート信号GT2の論理レベルが“1”である場合にはオン状態となって上記ライン2上の電位をダイオードD1及びコイルL1を介して上記コンデンサC1の他端に印加する。nチャネル型のMOSトランジスタQ3は、そのゲート端に供給されたゲート信号GT3の論理レベルが“0”である場合にはオフ状態となる一方、かかるゲート信号GT3の論理レベルが“1”である場合にはオン状態となって上記コンデンサC1の他端に生じた電位をダイオードD2及びコイルL2を介して上記ライン2上に印加する。pチャネル型のMOSトランジスタQ4は、そのゲート端に供給されたゲート信号GT4の論理レベルが“1”である場合にはオフ状態となる一方、かかるゲート信号GT4の論理レベルが“0”である場合にはオン状態となって上記ライン2上の電位をダイオードD3を介して接地電位に引き込む。

50 【0009】リセットパルス発生回路103におけるn

チャネル型のMOSトランジスタQ5は、そのゲート端に供給されたゲート信号GT5の論理レベルが“0”である場合にはオフ状態となる。又、かかるMOSトランジスタQ5は、ゲート信号GT5の論理レベルが“1”である場合にはオン状態となって直流電源B2の負側端子電位を抵抗R1を介してライン2上に印加する。尚、この直流電源B2の正側端子は接地されている。nチャネル型のMOSトランジスタQ6は、そのゲート端に供給されたゲート信号GT6の論理レベルが“0”である場合にはオフ状態となる一方、かかるゲート信号GT6の論理レベルが“1”である場合にはオン状態となって上記ライン2上の電位をダイオードD4を介して接地電位に引き込む。

【0010】尚、上記ダイオードD1～D4は逆流防止の為に設けられたものである。図4は、上記図2に示されるが如きリセットパルスRPy及び維持パルスIPy各々を発生させる際の上記ゲート信号GT1～GT6各々の供給タイミングを示す図である。図4に示されるように、先ず、論理レベル“1”のゲート信号GT5に応じてMOSトランジスタQ5がオン状態となる。これにより、直流電源B2の負側端子に発生した負の電位がライン2上に印加されて図4に示されるが如き負電圧を有するリセットパルスRPyが発生する。

【0011】次に、図4に示されるように、ゲート信号GT3の論理レベルが“0”～“1”～“0”、ゲート信号GT3の論理レベルが“1”～“0”～“1”、更にゲート信号GT2の論理レベルが“0”～“1”～“0”へと順次切り替わることにより、図4に示される正電圧の維持パルスIPyが発生する。つまり、先ず、論理レベル“1”のゲート信号GT3に応じて、MOSトランジスタQ3がオン状態となり、コンデンサC1に蓄積されていた電荷に応じた電流がMOSトランジスタQ3、ダイオードD2、及びコイルL2を介してライン2上に流れ込む。これにより、ライン2上の行電極駆動信号のレベルは、図4に示されるように徐々に上昇して行く。次に、論理レベル“1”のゲート信号GT1に応じて、MOSトランジスタQ1がオン状態となる。これにより、直流電源B1の正側端子の正電位がライン2上に印加されて、図4に示されるが如き正電圧を有する維持パルスIPyが発生する。次に、論理レベル“1”のゲート信号GT2に応じてMOSトランジスタQ2がオン状態となる。これにより、PDP10に帯電されていた電荷に応じた電流がMOSトランジスタQ2、ダイオードD1、及びコイルL1を介してコンデンサC1に流れ込む。かかるコンデンサC1の充電動作により、上記維持パルスIPyのレベルは、図4に示されるように徐々に下降して行く。

【0012】以上の如く、リセットパルス発生回路102及び維持パルス発生回路103各々は、互いに極性の異なる駆動パルス（リセットパルスRPy、維持パルスIPy）を発生し、これらを異なるタイミングで共通の

ライン2上に印加する構成となっている。ここで、かかる図3に示される構成では、直流電源B1の正側端子と直流電源B2の負側端子との間に、MOSトランジスタQ1及びQ5が直列に接続される形となる。更に、かかる直流電源B1の正側端子と略同一の電位を発生するコンデンサC1と直流電源B2の負側端子との間には、MOSトランジスタQ2（Q3）及びQ5が直列に接続される形となる。

【0013】従って、かかる図3に示されるMOSトランジスタQ1～Q3、及びQ4としては、直流電源B1の正側端子電位と直流電源B2の負側端子電位との電位差に耐え得る高耐圧なトランジスタを用いなければならないという問題があった。

【0014】

【発明が解決しようとする課題】本発明は、上記問題を解決するために為されたものであり、比較的耐圧の低いトランジスタにて互いに極性の異なる複数の駆動パルスをPDPの同一行電極上に印加し得るプラズマディスプレイパネルの駆動装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明の第1の特徴によるプラズマディスプレイパネルの駆動装置は、プラズマディスプレイパネルの垂直方向に配列された複数の列電極に画素データに対応した画素データパルスを印加する列電極駆動手段と、前記列電極に交差する水平方向に配列された複数の行電極に所定極性の第1パルス及び前記所定極性とは異なる極性の第2パルスを夫々印加する行電極駆動手段とを備えたプラズマディスプレイパネルの駆動装置であって、前記行電極駆動手段は、前記第1パルスを発生してこれを第1ラインに印加する第1パルス発生回路と、前記第2パルスを発生してこれを前記行電極に印加する第2パルス発生回路と、少なくとも前記第1パルス発生回路が前記第1パルスを発生している期間中はオン状態となって前記第1ライン及び前記行電極間を接続するスイッチング素子とを有することを特徴とする。

【0016】又、本発明の第2の特徴によるプラズマディスプレイパネルの駆動装置は、プラズマディスプレイパネルの垂直方向に配列された複数の列電極に画素データに対応した画素データパルスを印加する列電極駆動手段と、前記列電極に交差する水平方向に配列された複数の行電極に所定極性の第1パルス及び前記所定極性とは異なる極性の第2パルスを夫々印加する行電極駆動手段とを備えたプラズマディスプレイパネルの駆動装置であって、前記行電極駆動手段は、前記第1パルスを発生してこれを第1ラインに印加する第1パルス発生回路と、少なくとも前記第1パルス発生回路が前記第1パルスを発生している期間中はオン状態となって前記第1ライン及び前記行電極間を接続する第1スイッチング素子と、前記第2パルスを発生してこれを第2ラインに印加する

第 2 バルス発生回路と、少なくとも前記第 2 バルス発生回路が前記第 2 バルスを発生している期間中はオン状態となって前記第 2 ライン及び前記行電極間を接続する第 2 スイッチング素子とを有することを特徴とする。

【 0 0 1 7 】

【発明の実施の形態】以下、本発明の実施例を図を参照しつつ説明する。図 5 は、本発明による駆動装置を含んだプラズマディスプレイ装置の全体構成を示す図である。かかる図 5 において、A/D変換器 11 は、供給されてきたアナログの映像信号をサンプリングして 1 画素毎の N ビットの画素データに変換しこれをメモリ 13 に供給する。パネル駆動制御回路 12 は、かかる映像信号中に含まれる水平同期信号及び垂直同期信号を検出し、この検出タイミングに基づいて以下に説明するが如き各種信号を生成し、これらをメモリ 13、行電極ドライバ 100、及び列電極ドライバ 200 の各々に供給する。

【 0 0 1 8 】メモリ 13 は、パネル駆動制御回路 12 から供給されてくる書込信号に応じて上記画素データを順次書き込む。更に、メモリ 13 は、上記パネル駆動制御回路 12 から供給されてくる読出信号に応じて、上述の如く書き込まれた画素データを PDP (プラズマディスプレイパネル) 20 の 1 行分毎に読み出し、これを列電極ドライバ 200 に供給する。

【 0 0 1 9 】PDP 20 には、X 及び Y の 1 対にて 1 画面の各行 (第 1 行～第 n 行) に対応した行電極対を為す行電極 Y₁～Y_n 及び行電極 X₁～X_n が形成されている。更に、これら行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで、1 画面の各列 (第 1 列～第 m 列) に対応した列電極を為す列電極 D₁～D_m が形成されている。この際、1 対の行電極対 (X、Y) と 1 つの列電極 D との交差部に 1 つの放電セルが形成される。

【 0 0 2 0 】列電極ドライバ 200 は、上記メモリ 13 から供給されてくる 1 行分の画素データ各々に対応した画素データパルス DP₁～DP_n を発生し、これらを上記パネル駆動制御回路 12 から供給される画素データパルス印加タイミング信号に応じて、図 6 に示されるように上記 PDP 20 の列電極 D₁～D_m 各々に印加する。行電極ドライバ 100 は、上記パネル駆動制御回路 12 から供給されてくる各種タイミング信号に応じて、上記図 6 に示されるが如きリセットパルス RP₁、及び維持パルス IP₁、を含んだ行電極 X 駆動信号を生成し、これを上記 PDP 20 の行電極 X₁～X_n 各々に同時に印加する。又、行電極ドライバ 100 は、上記パネル駆動制御回路 12 から供給されてくる各種タイミング信号に応じて、上記図 6 に示されるが如き負電圧のリセットパルス RP、正電圧のプライミングパルス PP、負電圧の走査パルス SP、正電圧の維持パルス IP、及び負電圧の消去パルス EP 各々を含んだ行電極 Y 駆動信号を生成し、これを上記 PDP 20 の行電極 Y₁～Y_n 各々に印加する。

【 0 0 2 1 】図 7 は、上記各種駆動パルスの内からリセ

ットパルス RP、及び維持パルス IP、各々を発生すべく為された本発明の駆動装置に基づくパルス駆動回路の構成を示す図である。尚、この図 7 に示される構成は、上記行電極ドライバ 100 内に設けられているものである。図 7 において、維持パルス発生回路 120 における p チャネル型の MOS (Metal Oxide Semiconductor) トランジスタ Q1 は、上記パネル駆動制御回路 12 から供給されたゲート信号 GT1 の論理レベルが "1" である場合にはオフ状態となる。一方、このゲート信号 GT1 の論理レベルが "0" である場合には、上記 MOS トランジスタ Q1 はオン状態となって上記直流電源 B1 の正側端子電位をライン 200 上に印加する。尚、この直流電源 B1 の負側端子は接地されている。更に、かかる維持パルス発生回路 120 には、その一端が接地されているコンデンサ C1 が設けられている。n チャネル型の MOS トランジスタ Q2 は、上記パネル駆動制御回路 12 から供給されたゲート信号 GT2 の論理レベルが "0" である場合にはオフ状態となる。一方、かかるゲート信号 GT2 の論理レベルが "1" である場合には、MOS トランジスタ Q2 はオン状態となって上記ライン 200 上の電位をダイオード D1 及びコイル L1 を介して上記コンデンサ C1 の他端に印加してこれを充電する。n チャネル型の MOS トランジスタ Q3 は、上記パネル駆動制御回路 12 から供給されたゲート信号 GT3 の論理レベルが "0" である場合にはオフ状態となる。一方、かかるゲート信号 GT3 の論理レベルが "1" である場合には、MOS トランジスタ Q3 はオン状態となって上記コンデンサ C1 の他端から放電された電位をダイオード D2 及びコイル L2 を介して上記ライン 200 上に印加する。p チャネル型の MOS トランジスタ Q4 は、上記パネル駆動制御回路 12 から供給されたゲート信号 GT4 の論理レベルが "1" である場合にはオフ状態となる一方、かかるゲート信号 GT4 の論理レベルが "0" である場合にはオン状態となって上記ライン 200 上の電位を接地電位に引き込む。

【 0 0 2 2 】リセットパルス発生回路 130 における n チャネル型の MOS トランジスタ Q5 は、上記パネル駆動制御回路 12 から供給されたゲート信号 GT5 の論理レベルが "0" である場合にはオフ状態となる。又、かかる MOS トランジスタ Q5 は、ゲート信号 GT5 の論理レベルが "1" である場合にはオン状態となって直流電源 B2 の負側端子の電位を抵抗 R1 を介してライン 300 上に印加する。尚、この直流電源 B2 の正側端子は接地されている。

【 0 0 2 3 】スイッチング素子としての p チャネル型の MOS トランジスタ Q7 は、上記パネル駆動制御回路 12 から供給されたゲート信号 GT7 の論理レベルが "0" である場合にはオン状態となって上記ライン 200 及びライン 300 間の接続を行う。この際、かかるライン 200 上に発生した行電極駆動信号は上記ライン 300 を

介して PDP 20 の各行電極 Y₁ ~ Y_n に印加される。一方、かかるゲート信号 GT 7 の論理レベルが "1" である場合には、MOS トランジスタ Q 7 はオフ状態となり、上記ライン 200 及びライン 300 間の接続を遮断する。この際、上記ライン 300 上に発生した行電極駆動信号のみが PDP 20 の各行電極 Y₁ ~ Y_n に印加される。

【0024】図 8 は、上記ゲート信号 GT 1 ~ GT 5 及び GT 7 各々のタイミング、及びこれらゲート信号 GT に応じてライン 300 上に生成される行電極駆動信号の波形を示す図である。図 8 は、上記図 6 に示されるが如きリセットパルス RPy 及び維持パルス IPy 各々を発生させる際の上記ゲート信号 GT 1 ~ GT 5 及び GT 7 各々の供給タイミングを示す図である。

【0025】図 8 に示されるように、先ず、論理レベル "1" のゲート信号 GT 5 に応じて図 7 に示される MOS トランジスタ Q 5 がオン状態となる。これにより、直流電源 B 2 の負側端子に発生した負の電位が抵抗 R 1 を介してライン 300 上に印加されて、図 8 に示されるが如き負電圧のリセットパルス RPy が PDP 20 の行電極 Y に印加される。この際、かかる抵抗 R 1 の作用により、上記リセットパルス RPy のフロントエッジ部の波形はなだらかになる。又、この間、図 7 に示される MOS トランジスタ Q 7 には、論理レベル "1" のゲート信号 GT 7 が供給されているので、MOS トランジスタ Q 7 はオフ状態にある。よって、少なくとも上記リセットパルス RPy が発生している期間中は、ライン 200 及びライン 300 間は遮断された状態にある。

【0026】次に、図 8 に示されるように、ゲート信号 GT 3 の論理レベルが "0" ~ "1" ~ "0"、ゲート信号 GT 3 の論理レベルが "1" ~ "0" ~ "1"、更にゲート信号 GT 2 の論理レベルが "0" ~ "1" ~ "0" へと順次切り替わることにより、図 8 に示されるが如き正電圧の維持パルス IPy が発生する。つまり、先ず、論理レベル "1" のゲート信号 GT 3 に応じて、MOS トランジスタ Q 3 がオン状態となり、コンデンサ C 1 に蓄積されていた電荷に応じた電流が MOS トランジスタ Q 3、ダイオード D 2、及びコイル L 3 を介してライン 200 上に流れ込む。この際、図 8 に示されるように MOS トランジスタ Q 7 には論理レベル "0" のゲート信号 GT 7 が供給されているので、MOS トランジスタ Q 7 はオン状態にあり、ライン 200 及び 300 間が接続される。これにより、ライン 300 上の行電極駆動信号のレベルは、図 8 に示されるように徐々に上昇して行く。次に、論理レベル "1" のゲート信号 GT 1 に応じて、MOS トランジスタ Q 1 がオン状態となる。これにより、直流電源 B 1 の正側端子の正電位がライン 200 及び MOS トランジスタ Q 7 を介してライン 300 上に印加されて、図 8 に示されるが如き正電圧を有する維持パルス IPy が発生する。次に、論理レベル "1" のゲート信号 GT 2 に応じて

MOS トランジスタ Q 2 がオン状態となる。これにより、PDP 20 に帯電されていた電荷に応じた電流が MOS トランジスタ Q 2、ダイオード D 1、及びコイル L 1 を介してコンデンサ C 1 に流れ込む。かかるコンデンサ C 1 の充電動作により、上記維持パルス IPy のレベルは、図 8 に示されるように徐々に下降して行く。

【0027】以上の如く、図 7 に示されるパルス駆動回路においては、少なくとも維持パルスを行電極に印加する期間中はオン状態となる MOS トランジスタ Q 7 を維持パルス発生回路 120 及びリセットパルス発生回路 130 間に設ける構成としたのである。かかる構成によれば、直流電源 B 1 の正側端子と直流電源 B 2 の負側端子との間、更に、直流電源 B 1 の正側端子と略同一の電位を発生するコンデンサ C 1 と直流電源 B 2 の負側端子との間各々に直列に接続される MOS トランジスタの数が、MOS トランジスタ Q 7 の分だけ 1 段増えることになる。

【0028】よって、図 3 に示されるが如き従来の構成に比して MOS トランジスタ 1 段あたりの耐圧を低くすることが出来るのである。又、図 7 に示される MOS トランジスタ Q 7 は等価的には、図 9 に示されるように、ゲート信号 GT 7 に応じてライン 200 及びライン 300 間の接続／遮断を為すスイッチ SW 7、及びライン 300 からライン 200 に向けて順方向に形成された寄生ダイオード D 17 から構成されている。

【0029】この際、かかる寄生ダイオード D 17 が、MOS トランジスタ Q 4 の寄生ダイオードを介して接地電位から維持パルス発生回路 120 の直流電源 B 2 の負側端子へと逆流する電流を防止することになる。つまり、かかる役目を為すべく図 3 における構成において採用されていた逆流防止用のダイオード D 3 は、図 7 に示される構成においては不要となるのである。

【0030】尚、上記実施例においては、耐圧向上を計るべく、少なくとも維持パルスが発生する期間中はオン状態となる MOS トランジスタ Q 7 を維持パルス発生回路 120 の出力ラインとしてのライン 200 に設ける構成としているが、各パルス発生回路の出力ラインに夫々、耐圧向上を計る為の MOS トランジスタを設ける構成としても良い。

【0031】図 10 は、かかる点に鑑みて為されたパルス駆動回路の構成を示す図である。尚、図 10 に示される維持パルス発生回路 120 及び MOS トランジスタ Q 7 は、上述した如き図 7 に示されるものと同一であるのでその説明は省略する。図 10 において、リセットパルス発生回路 140 における n チャネル型の MOS トランジスタ Q 5 は、上記パネル駆動制御回路 12 から供給されたゲート信号 GT 5 の論理レベルが "0" である場合にはオフ状態となる。又、かかる MOS トランジスタ Q 5 は、ゲート信号 GT 5 の論理レベルが "1" である場合にはオン状態となって直流電源 B 2 の負側端子の電位を抵

抗 R 1 を介してライン 4 0 0 上に印加する。尚、この直流電源 B 2 の正側端子は接地されている。更に、かかるリセットパルス発生回路 1 4 0 における n チャネル型の MOS トランジスタ Q 8 は、上記パネル駆動制御回路 1 2 から供給されたゲート信号 G T 8 の論理レベルが " 0 " である場合にはオフ状態となる。又、かかる MOS トランジスタ Q 8 は、ゲート信号 G T 8 の論理レベルが " 1 " である場合にはオン状態となつて上記ライン 4 0 0 上の電位を抵抗 R 2 を介して接地電位に引き込む。

【 0 0 3 2 】スイッチング素子としての n チャネル型の MOS トランジスタ Q 9 は、上記パネル駆動制御回路 1 2 から供給されたゲート信号 G T 9 の論理レベルが " 1 " である場合にはオン状態となつて上記ライン 4 0 0 及びライン 3 0 0 間の接続を行う。この際、かかるライン 4 0 0 上に発生した行電極駆動信号は上記ライン 3 0 0 を介して P D P 2 0 の各行電極 Y₁ ~ Y_n に印加される。一方、かかるゲート信号 G T 9 の論理レベルが " 0 " である場合には、MOS トランジスタ Q 9 はオフ状態となり、上記ライン 4 0 0 及びライン 3 0 0 間の接続を遮断する。

【 0 0 3 3 】図 1 1 は、上記図 1 0 に示される構成にてリセットパルス R P y 及び維持パルス I P y 各々を発生させる為のゲート信号 G T 1 ~ G T 5、及びゲート信号 G T 7 ~ G T 9 各々の供給タイミングを示す図である。図 1 1 に示されるように、先ず、論理レベル " 1 " のゲート信号 G T 5 に応じて、図 1 0 に示されるリセットパルス発生回路 1 4 0 における MOS トランジスタ Q 5 がオン状態となる。これにより、直流電源 B 2 の負側端子に発生した負の電位が MOS トランジスタ Q 5 及び抵抗 R 1 を介してライン 4 0 0 上に印加される。この間、図 1 0 に示される MOS トランジスタ Q 9 には論理レベル " 1 " のゲート信号 G T 9 が供給されているので、MOS トランジスタ Q 9 はオン状態にある。よつて、上記 4 0 0 上に印加された電位はかかる MOS トランジスタ Q 9 を介してライン 3 0 0 に印加され、図 1 1 に示されるが如き負電圧のリセットパルス R P y が P D P 2 0 の行電極 Y に印加されることになる。ここで、図 1 1 に示されるが如くゲート信号 G T 5 の論理レベルが " 1 " から " 0 "、ゲート信号 G T 8 の論理レベルが " 0 " から " 1 " へと夫々切り替わると、MOS トランジスタ Q 5 はオフ、MOS トランジスタ Q 8 はオン状態に切り替わる。MOS トランジスタ Q 8 がオン状態に切り替わることにより、ライン 3 0 0 上に発生した図 1 1 に示されるが如き負電圧のリセットパルス R P y は徐々に接地電位に引き込まれて行く。

【 0 0 3 4 】尚、かかるリセットパルス R P y がライン 4 0 0、MOS トランジスタ Q 9 及びライン 3 0 0 を介して P D P 2 0 の行電極 Y に印加されている期間中、MOS トランジスタ Q 7 には論理レベル " 1 " のゲート信号 G T 7 が供給されている。よつて、この間、維持パルス

発生回路 1 2 0 の出力ラインとしてのライン 2 0 0、及びライン 3 0 0 間は遮断されている。

【 0 0 3 5 】次に、図 1 1 に示されるように、ゲート信号 G T 3 の論理レベルが " 0 " ~ " 1 " ~ " 0 "、ゲート信号 G T 3 の論理レベルが " 1 " ~ " 0 " ~ " 1 "、更にゲート信号 G T 2 の論理レベルが " 0 " ~ " 1 " ~ " 0 " へと順次切り替わることにより、図 1 1 に示されるが如き正電圧の維持パルス I P y が発生する。つまり、先ず、論理レベル " 1 " のゲート信号 G T 3 に応じて、MOS トランジスタ Q 3 がオン状態となり、コンデンサ C 1 に蓄積されていた電荷に応じた電流が MOS トランジスタ Q 3、ダイオード D 2、及びコイル L 2 を介してライン 2 0 0 上に流れ込む。この際、図 1 1 に示されるように MOS トランジスタ Q 7 には論理レベル " 0 " のゲート信号 G T 7 が供給されているので、MOS トランジスタ Q 7 はオン状態にあり、ライン 2 0 0 及び 3 0 0 間が接続される。これにより、ライン 3 0 0 上の行電極駆動信号のレベルは、図 1 1 に示されるように徐々に上昇して行く。次に、論理レベル " 1 " のゲート信号 G T 1 に応じて、MOS トランジスタ Q 1 がオン状態となる。これにより、直流電源 B 1 の正側端子の正電位がライン 2 0 0 及び MOS トランジスタ Q 7 を介してライン 3 0 0 上に印加されて、図 1 1 に示されるが如き正電圧を有する維持パルス I P y が発生する。次に、論理レベル " 1 " のゲート信号 G T 2 に応じて MOS トランジスタ Q 2 がオン状態となる。これにより、P D P 2 0 に帯電されていた電荷に応じた電流が MOS トランジスタ Q 2、ダイオード D 1、及びコイル L 1 を介してコンデンサ C 1 に流れ込む。かかるコンデンサ C 1 の充電動作により、上記維持パルス I P y のレベルは、図 1 1 に示されるように徐々に下降して行く。尚、かかる維持パルス I P y がライン 2 0 0、MOS トランジスタ Q 7 及びライン 3 0 0 を介して P D P 2 0 の行電極 Y に印加されている期間中、MOS トランジスタ Q 9 には論理レベル " 1 " のゲート信号 G T 9 が供給されている。よつて、この間、リセットパルス発生回路 1 4 0 の出力ラインとしてのライン 4 0 0、及びライン 3 0 0 間は遮断されているのである。

【 0 0 3 6 】かかる図 1 0 に示されるパルス駆動回路においては、各パルス発生回路 (1 2 0、1 4 0) の出力ライン各々に、少なくとも各パルス発生回路が駆動パルスを発生する期間中はオン状態となる MOS トランジスタ (Q 7、Q 9) を設ける構成としている。よつて、かかる構成によれば、各パルス発生回路間に直列に接続される MOS トランジスタの段数が更に 1 段 (MOS トランジスタ Q 9 の分) だけ増えるので、各 MOS トランジスタの耐圧を、図 7 に示される構成に比してより低いものに設定することが出来るようになるのである。

【図面の簡単な説明】

【図 1】プラズマディスプレイ装置の概略構成を示す図である。

13

【図 2】図 1 の駆動装置による行電極駆動信号のタイミングを示す図である。

【図 3】リセットパルス RPy 及び維持パルス IPy を発生する従来のパルス駆動回路の構成を示す図である。

【図 4】従来のパルス駆動回路によってリセットパルス RPy 及び維持パルス IPy 各々を発生させる際の各ゲート信号のタイミングを示す図である。

【図 5】本発明による駆動装置を含んだプラズマディスプレイ装置の全体構成を示す図である。

【図 6】図 5 の駆動装置による行電極駆動信号のタイミングを示す図である。

【図 7】本発明の駆動装置に基づくパルス駆動回路の構成を示す図である。

【図 8】図 7 に示されるパルス駆動回路によってリセットパルス RPy 及び維持パルス IPy 各々を発生させる

14

際の各ゲート信号のタイミングを示す図である。

【図 9】MOS トランジスタ $Q7$ を等価回路にて示してある本発明に基づくパルス駆動回路の構成を示す図である。

【図 10】本発明の駆動装置に基づくパルス駆動回路の他の構成例を示す図である。

【図 11】図 10 に示されるパルス駆動回路によってリセットパルス RPy 及び維持パルス IPy 各々を発生させる際の各ゲート信号のタイミングを示す図である。

【符号の簡単な説明】

20 PDP

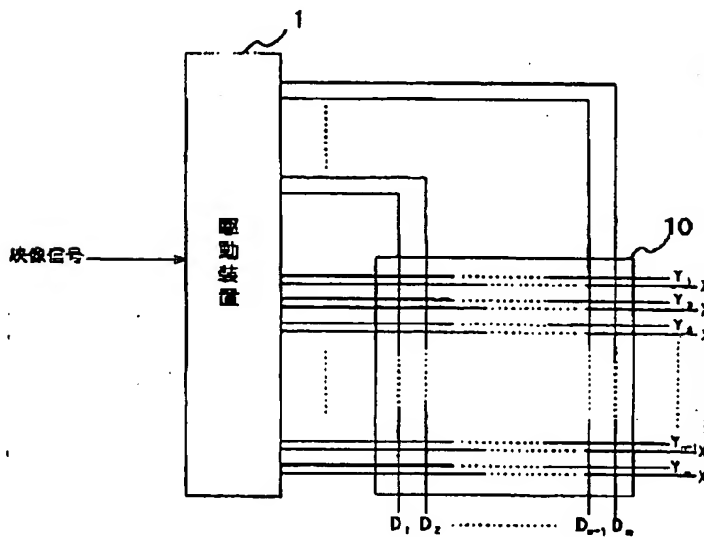
100 行電極ドライバ

120 維持パルス発生回路

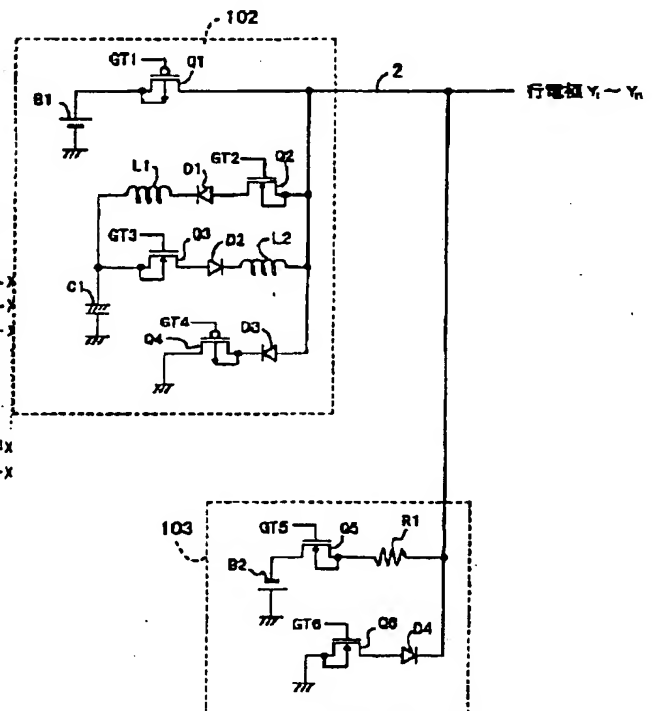
130, 140 リセットパルス発生回路

$Q7, Q9$ MOS トランジスタ

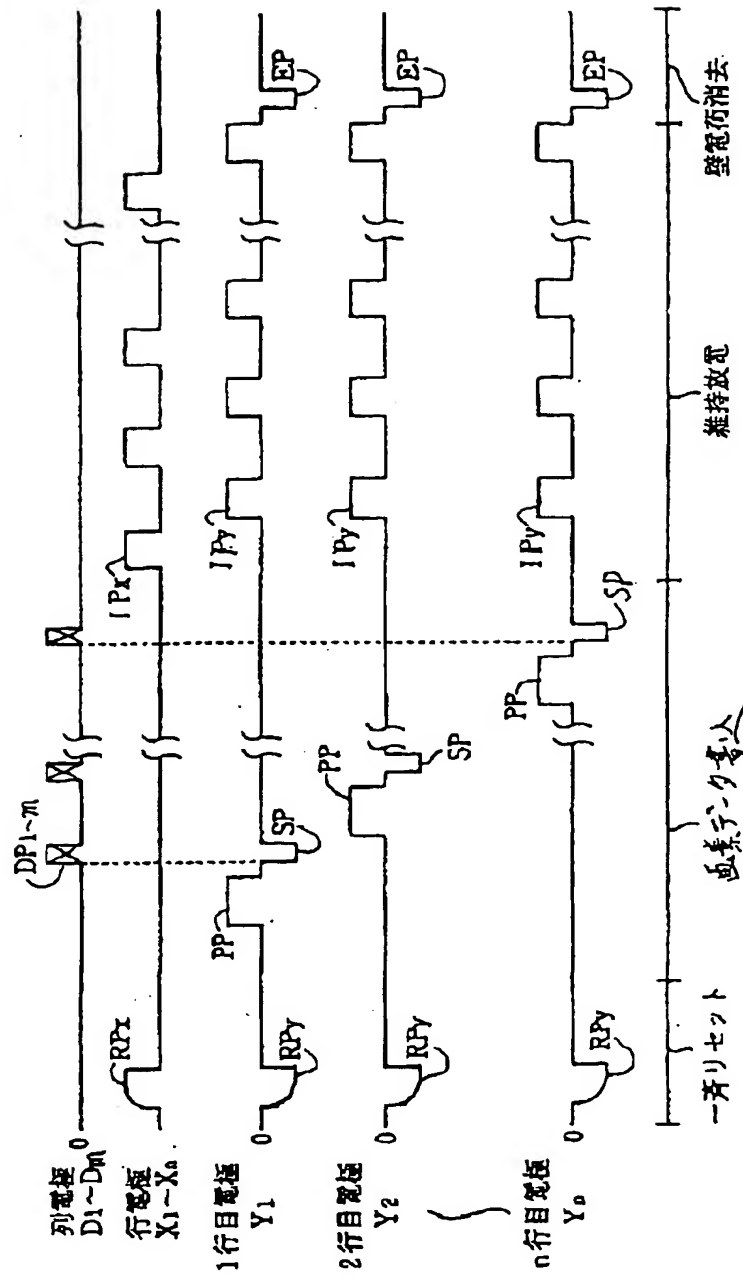
【図 1】



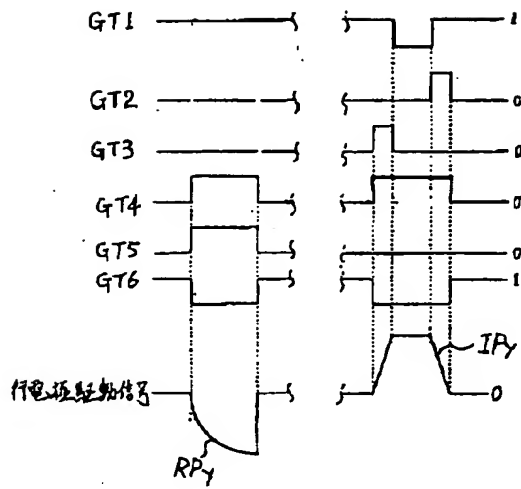
【図 3】



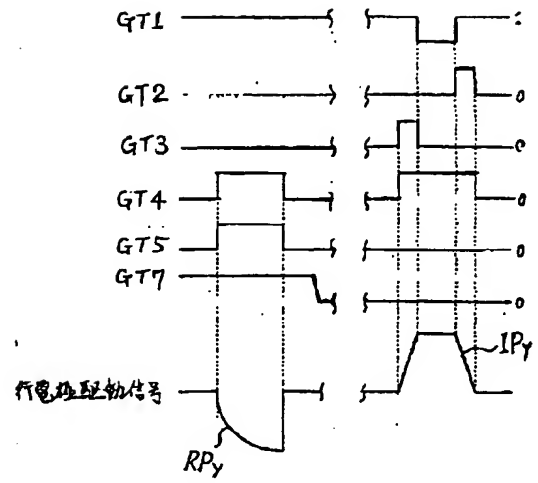
【 図 2 】



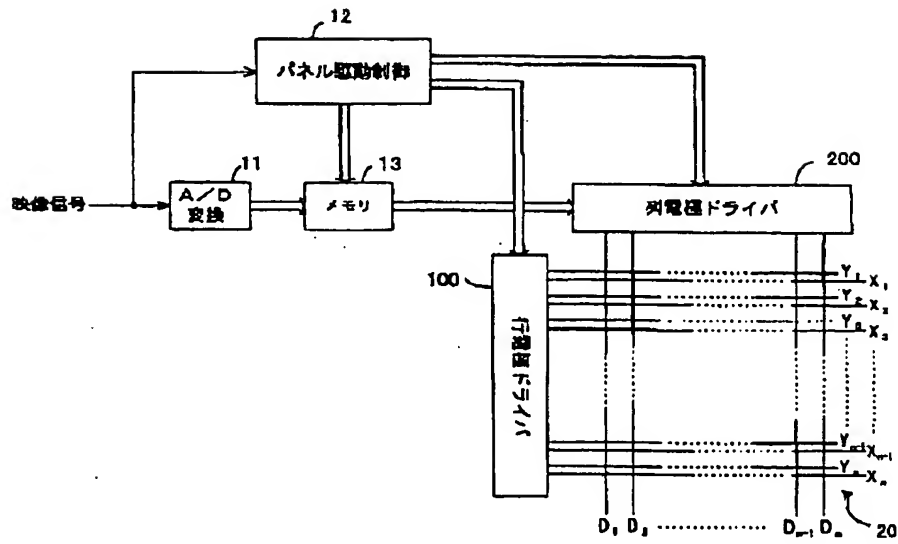
【図 4】



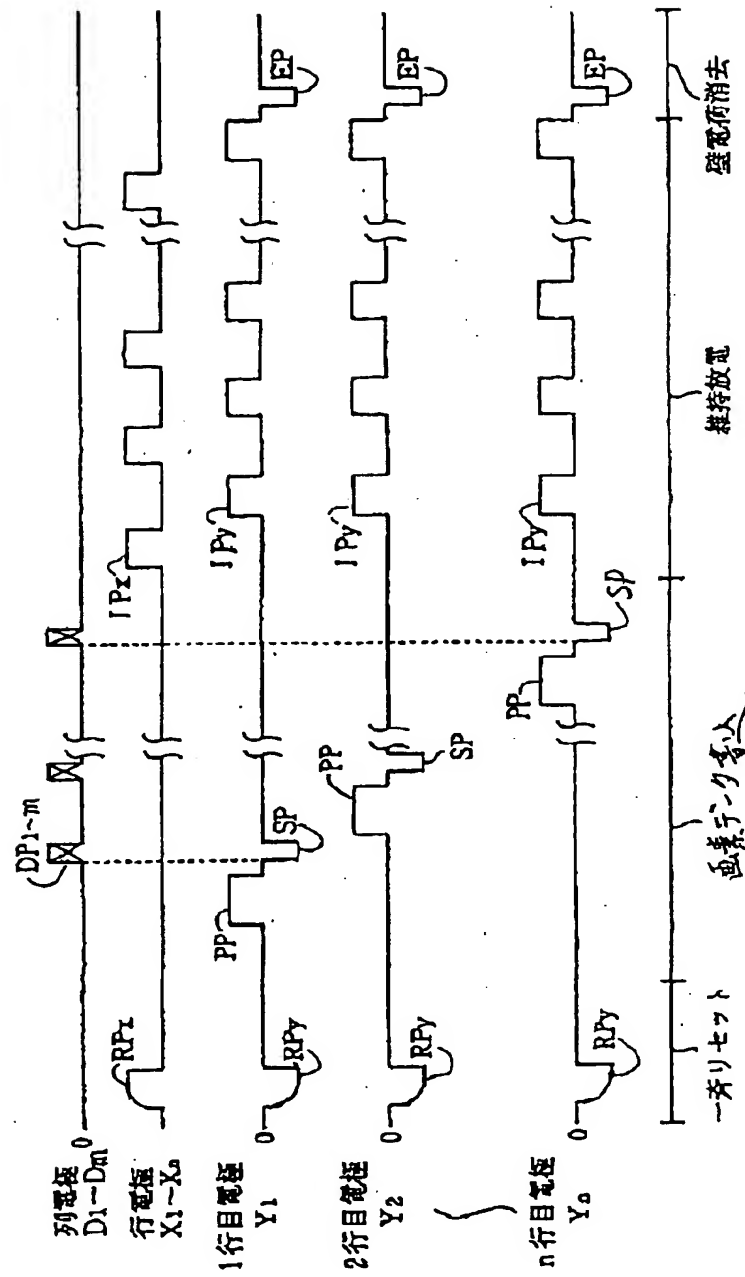
【図 8】



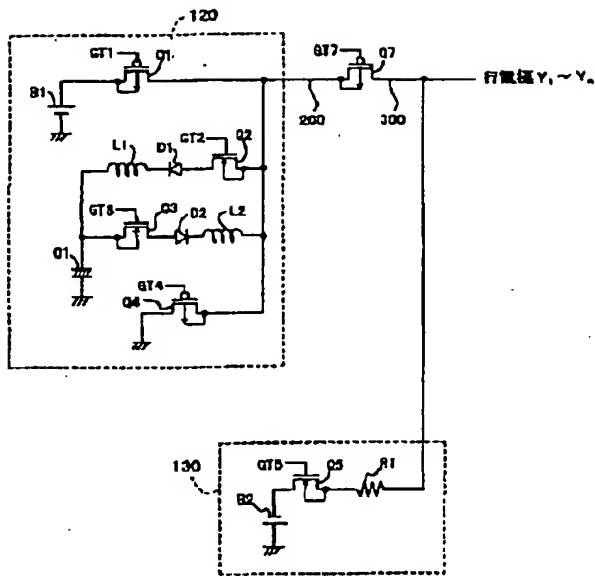
【図 6】



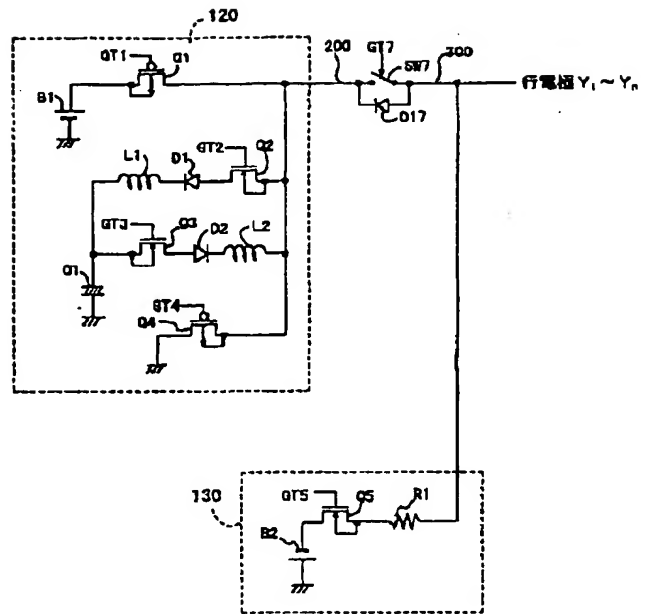
〔 図 6 〕



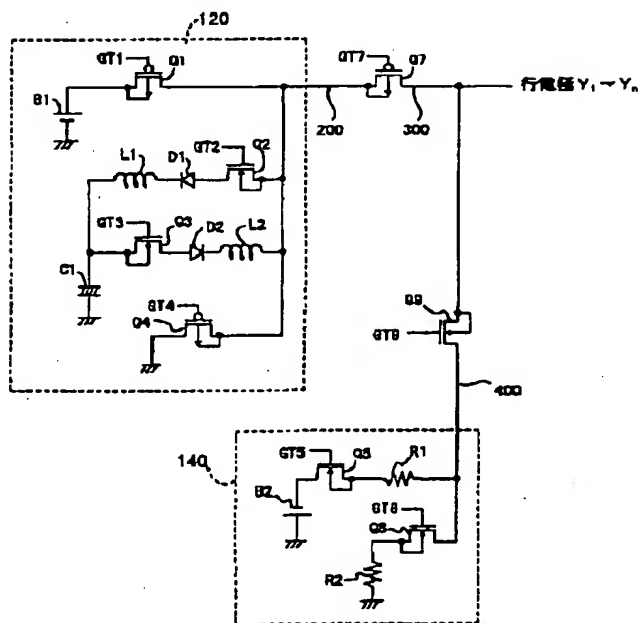
【 図 7 】



【 図 9 】



【 図 10 】



【 図 11 】

